

## METHOD FOR DRIVING PLASMA DISPLAY PANEL

Publication number: JP2005114753

Publication date: 2005-04-28

Inventor: TAKAGI KAZUKI; KOSAKA TADAYOSHI

Applicant: FUJITSU LTD

Classification:



- international: **G09G3/20; G09G3/28; G09G3/288;**  
**G09G3/20; G09G3/28; (IPC1-7): G09G3/28;**  
**G09G3/20; G09G3/288**

- European: G09G3/28T; G09G3/288C6E

Application number: JP20030344648 20031002

Priority number(s): JP20030344648 20031002

Also published as:

 US2005073476 (A)  
 KR20050032990 (A)

Report a data error here

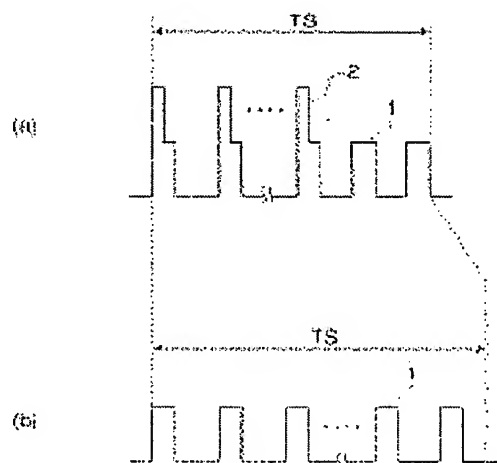
### Abstract of JP2005114753

**PROBLEM TO BE SOLVED:** To increase the substantial number of display gradations by composing sustain pulses, applied in a sustain period of one subfield, of a plurality of kinds of sustain pulses differing in light emission luminance and varying the constitution ratio of the sustain pulses according to display luminance.

**SOLUTION:** Disclosed is a method for driving a plasma display panel in which a frame is displayed by being replaced with a plurality of luminance-weighted subfields; when respective subfields are displayed, a plurality of kinds of applied voltage waveforms which differ in light emission luminance are used for a pulse-shaped voltage for sustain discharge and respective wave numbers of the plurality of kinds of applied voltage waveforms are adjusted according to weights of luminance set for the subfields.

COPYRIGHT: (C)2005,JPO&NCIP

本発明の実施形態におけるサステインパルスの波形状および比較図



Data supplied from the **esp@cenet** database - Worldwide

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-114753

(P2005-114753A)

(43) 公開日 平成17年4月28日(2005.4.28)

(51) Int. Cl.<sup>7</sup>

G09G 3/28  
G09G 3/20  
G09G 3/288

F 1

G09G 3/28 K  
G09G 3/20 624M  
G09G 3/20 641E  
G09G 3/20 642E  
G09G 3/28 B

テーマコード(参考)

5C080  
5C580

審査請求 未請求 請求項の数 6 O L (全 12 頁) 最終頁に続く

(21) 出願番号 特願2003-344648 (P2003-344648)  
(22) 出願日 平成15年10月2日(2003.10.2)

(71) 出願人 000005223  
富士通株式会社  
神奈川県川崎市中原区上小田中4丁目1番  
1号  
(74) 代理人 100065248  
弁理士 野河 信太郎  
(72) 発明者 高木 一樹  
神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内  
(72) 発明者 小坂 忠義  
神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内  
Fターム(参考) 5C080 AA05 BB05 CC03 DD03 DD08  
EE29 EE30 HH02 HH04 HH05  
JJ04 JJ05 JJ06  
最終頁に続く

(54) 【発明の名称】 プラズマディスプレイパネルの駆動方法

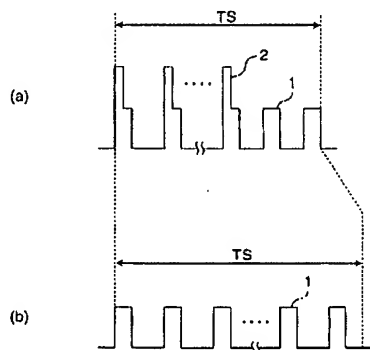
(57) 【要約】

【課題】 1サブフィールドのサステイン期間に印加するサステインパルスを発光輝度の異なる複数種類のサステインパルスで構成し、表示輝度に応じてサステインパルスの構成比を変化させることで、実質的な表示階調数を増加させる。

【解決手段】 フレームを輝度重み付けをした複数のサブフィールドに置き換えて表示するプラズマディスプレイパネルの駆動方法であって、各サブフィールドの表示において、サステイン放電用のパルス状の電圧として、発光輝度の異なる複数種類の印加電圧波形を用い、当該サブフィールドに対して設定した輝度の重みに応じて、その複数種類の印加電圧波形の各波数を調整する。

【選択図】 図1

本発明の実施形態1におけるサステインパルスの説明図および比較例



## 【特許請求の範囲】

## 【請求項1】

フレームを輝度重み付けをした複数のサブフィールドに置き換えて表示するプラズマディスプレイパネルの駆動方法であって、

各サブフィールドの表示において、サステイン放電用のパルス状の電圧として、発光輝度の異なる複数種類の印加電圧波形を用い、

当該サブフィールドに対して設定した輝度の重みに応じて、前記複数種類の印加電圧波形の各波数を調整することを特徴とするプラズマディスプレイパネルの駆動方法。

## 【請求項2】

前記複数種類の印加電圧波形の各波数を入力輝度に応じて変化させることで階調表示を行うことを特徴とする請求項1記載のプラズマディスプレイパネルの駆動方法。

## 【請求項3】

前記複数種類の印加電圧波形を規則的に交互に配列させることを特徴とする請求項2記載のプラズマディスプレイパネルの駆動方法。

## 【請求項4】

前記複数種類の印加電圧波形の内、到達電位の高い印加電圧波形をサステイン期間の後半部に集中的に配置することを特徴とする請求項2記載のプラズマディスプレイパネルの駆動方法。

## 【請求項5】

前記複数種の印加電圧波形の内、到達電位の高い印加電圧波形をサステイン期間の中盤に集中的に配置し、その前後に到達電位の低い印加電圧波形を配置することを特徴とする請求項2記載のプラズマディスプレイパネルの駆動方法。

## 【請求項6】

前記複数種類の印加電圧波形の波数の構成比を、表示画像の表示率に応じて変化させることを特徴とする請求項1記載のプラズマディスプレイパネルの駆動方法。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、プラズマディスプレイパネル（以後「PDP」と記す）の駆動方法に関する。

## 【背景技術】

## 【0002】

PDPは視認性に優れ、高速表示が可能であり、しかも比較的大画面化の容易な薄型表示デバイスである。マトリクス表示方式の、なかでも面放電型のPDPは、駆動電圧の印加に際して対となる表示電極を同一の基板上に配列したPDPであり、蛍光体によるカラー表示に適している。

## 【0003】

従来、例えばAC駆動方式の3電極面放電型のカラーPDPとしては、特許文献1、特許文献2および特許文献3に記載のようなものが知られており、例えば特許文献3に記載のPDPでは、以下のような構成となっている。すなわち、図10に示すように、PDP10はガラスからなる前面側の基板11と背面側の基板21から構成されている。前面側の基板11には、行L毎に一对ずつ面放電（表示用の主放電であるため表示放電と呼ばれたり、アドレス後のサステイン放電であるためサステイン放電と呼ばれたりする）発生用のサステイン電極（表示電極）X、Yが水平方向にほぼ平行に配置されている。行Lは画面における水平方向のセル列である。

## 【0004】

サステイン電極X、Yは、それぞれが透明電極12と金属電極（バス電極）13で形成され、低融点ガラスからなる誘電体層17で被覆されている。誘電体層17の表面にはMgOからなる保護層18が設けられている。

## 【0005】

背面側の基板21上には、アドレス放電発生用の複数のアドレス電極（データ電極とも呼ばれる）Aが形成されている。アドレス電極Aは誘電体層24によって被覆されている。誘電体層24の上には、アドレス電極Aを挟むように放電を物理的に区分するためのストライプ状の多数のリブ（隔壁）29が垂直方向（サスティン電極と交差する方向）にほぼ平行に設けられている。これらのリブ29によって放電空間30が行方向にサブピクセル（単位発光領域）毎に区画され、かつ放電空間30の間隙寸法が規定されている。

【0006】

そして、リブ間の細長い溝内にはカラー表示のためのR、G、Bの3色の蛍光体層28R、28G、28Bが形成されている。3色の配置パターンは、1列のセルの発光色が同一でかつ隣接する列どうしの発光色が異なるストライプパターンである。放電空間30には主成分のネオンにキセノンを混合した放電ガスが充填されており、蛍光体層28R、28G、28Bは放電時のキセノンが放つ紫外線によって局部的に励起されて発光する。

【0007】

表示の1画素（ピクセル）は行方向に並ぶ3個のサブピクセルで構成される。各サブピクセル内の構造体が放電セル（表示素子）である。隔壁29の配置パターンがストライプパターンであることから、放電空間30のうちの各列に対応した部分は全ての行Lに跨がって列方向に連続している。そのため、隣接する行Lどうしの電極間隔（逆スリット）の寸法と各行Lの面放電ギャップとの比は、列方向の放電結合を防ぐことのできる値に選定されている。

【0008】

表示は、サスティン電極Yとアドレス電極Aとの間に電圧を印加し、両電極間でアドレス放電を発生させて点灯すべき放電セルを選択した後、サスティン電極X、Y間にサスティン電圧（サスティンパルス）を交互に印加してサスティン放電を発生させることにより行う。

【0009】

図11は図10で示したPDPの平面図である。PDP10の基本となる最小の発光単位は、上述したように、サブピクセル（通常この最小のセルを単に「放電セル」という）Cであり、行方向に並ぶR用のサブピクセルC（R）と、G用のサブピクセルC（G）と、B用のサブピクセルC（B）との3個のサブピクセルで1つの画素Pが構成される。PDPのカラー表示は、1画素P内のR、G、Bの各色の階調を変化させることにより行う。

【0010】

図12は図10で示したPDPのフィールド構成および駆動電圧波形の一例を示す説明図である。PDPの階調表現は、2値の点灯制御によって行うため、入力画像である時系列のフレームFが奇数フィールドfと偶数フィールドfからなる場合、各フィールドf（符号の添字は表示順位を表す）を、点灯時間の異なる例えば8個のサブフィールドsf1、…、sf8に分割することによって行う。言い換えれば、フィールドfを8個のサブフィールドsf1～sf8の集合に置き換え、これらサブフィールドsf1～sf8における輝度の相対比率が1：2：4：16：32：64：128となるように重み付けをして各サブフィールドsf1～sf8の発光回数を設定する。

【0011】

1フィールドを8つのサブフィールドで構成すれば、サブフィールド単位の点灯／非点灯の組み合わせで、R、G、Bの各色毎に256段階の輝度設定を行うことができるので、表示可能な色数（発色数）は2563となる。各サブフィールドsf1～sf8に割り当てるサブフィールド時間Ts fは、画面全体の放電セルの電荷を初期化するリセット期間TRと、例えば書き込み形式でアドレッシングを行う場合であれば点灯すべき放電セルを選択するアドレス期間TAと、階調レベルに応じた輝度を確保するために点灯状態を維持するサスティン期間TSからなる。

【0012】

各サブフィールド期間Ts fにおいて、サスティン期間TSの長さは輝度の重みが大き

いほど長い、リセット期間TRおよびアドレス期間TAの長さは輝度の重みに関わらず一定である。つまり、1つのフィールドfに対応する8つのサブフィールド期間Ts fの長さは互いに異なり、輝度の重みが小さいほど、サブフィールド期間Ts fに対するサスティン準備期間(=リセット期間TR+アドレス期間TA)の長さの割合が大きくなる。

【0013】

【特許文献1】特開平11-65523号公報

【特許文献2】特開2001-5423号公報

【特許文献3】特開2002-189443号公報

【発明の開示】

【発明が解決しようとする課題】

【0014】

このように、階調表現をサブフィールド法によって行うPDPにおいては、サスティン放電の回数によって輝度を表現するので、1回のサスティン放電の輝度により細かな輝度重みの設定は困難であるという課題があった。例えば256階調を表現する際に、総サスティン放電回数が255の整数倍以外の場合においては、正確な輝度重みの設定は不可能である。さらに階調表示数、走査線数、輝度(サスティン放電回数に比例するサスティン期間TSの長さ)は、1フィールド長fの時間制約により、相互関係を有する。

【0015】

そのため、例えばハイビジョン用フルカラーPDPのように、走査線の本数が多い場合には、アドレス期間TAが長くなるが、その分各サブフィールドにおける発光回数(サスティンパルス数)を減少させると、それにより輝度が低下し、画面が暗くなってしまうという課題があった。

【0016】

この問題に対し、高い輝度を得るために、サブフィールド数を少なくした場合、人間の階調認識性に優れた映像暗部において、階調の荒さ、ザラツキ感が目立ち、表示品位を阻害してしまうという課題があった。

【0017】

さらに、従来のPDPは、CRTのような他の表示デバイスに比較して、時間に対する輝度の劣化率が大きく、表示信頼性に問題があった。

【0018】

本発明は、このような事情を考慮してなされたもので、サスティン放電用のパルスとして、発光輝度の異なる複数種類のサスティンパルスを使用し、各サブフィールドに設定される輝度重みに応じて各複数種類のサスティンパルスの波数を調整することで、輝度設定の正確性を増すことを目的とするものである。さらに表示輝度に応じてサスティンパルスの構成比を変化させることで、実質的な表示階調数を増加させることを目的とするものである。

【課題を解決するための手段】

【0019】

本発明は、フレームを輝度重み付けをした複数のサブフィールドに置き換えて表示するプラズマディスプレイパネルの駆動方法であって、各サブフィールドの表示において、サスティン放電用のパルス状の電圧として、発光輝度の異なる複数種類の印加電圧波形を用い、当該サブフィールドに対して設定した輝度の重みに応じて、前記複数種類の印加電圧波形の各波数を調整することを特徴とするプラズマディスプレイパネルの駆動方法である。

【発明の効果】

【0020】

本発明によれば、複数種類の印加電圧波形の構成比を変化させることによって階調表示を行うことができるので、各サブフィールドの設定輝度重み設定の正確さが増す。またサスティン期間以外のアドレス期間などを圧迫することなく、従来よりも高輝度で階調豊かな表示を行うことができる。

【発明を実施するための最良の形態】

【0021】

本発明において、基板としては、ガラス、石英、セラミック等の基板や、これらの基板上に、電極、絶縁膜、誘電体層、保護膜等の所望の構成物を形成した基板が含まれる。

【0022】

表示電極および選択用電極は、当該分野で公知の各種の材料と方法を用いて形成することができる。表示電極および選択用電極に用いられる材料としては、例えば、ITO、SnO<sub>2</sub>などの透明な導電性材料や、Ag、Au、Al、Cu、Crなどの金属の導電性材料が挙げられる。表示電極および選択用電極の形成方法としては、当該分野で公知の各種の方法を適用することができる。たとえば、印刷などの厚膜形成技術を用いて形成してもよいし、物理的堆積法または化学的堆積法からなる薄膜形成技術を用いて形成してもよい。厚膜形成技術としては、スクリーン印刷法などが挙げられる。薄膜形成技術の内、物理的堆積法としては、蒸着法やスパッタ法などが挙げられる。化学的堆積法としては、熱CVD法や光CVD法、あるいはプラズマCVD法などが挙げられる。

【0023】

本発明においては、1サブフィールドのサスティン期間に印加するパルス状の電圧（サスティンパルス）を、発光輝度の異なる複数種類の印加電圧波形で構成する。

【0024】

このサスティン期間に印加するサスティンパルスとしては、一般に矩形の電圧波形が用いられる。この矩形の電圧波形を用いて発光輝度を異ならせるには、電圧の実効値を変化させればよく、そのためには電圧波形の振幅（到達電位）を変化させればよい。ただし、単に矩形波にて電圧振幅を大きくした場合には駆動マージンが減少してしまうため、駆動マージンを減少させずに1パルス当たりの発光輝度が異なる印加電圧波形として、例えば特開2003-297000号公報に開示のような、パルス波形の立上りのみを高電圧振幅としたパルス電圧波形を用いればよい。

【0025】

この印加電圧波形の変形は、発光輝度を異ならせる程度の変化であれば、どの程度であってもよく、変化の段階に特に制限はない。しかしながら、変化の段階をあまり細かく設定しても制御を複雑にするだけであるため、2段階～3段階の程度にとどめることが望ましい。つまり、印加電圧波形としては、発光輝度の異なる2種類～3種類程度の電圧波形に設定することが望ましい。

【0026】

以下、図面に示す実施の形態に基づいて本発明を詳述する。なお、本発明はこれによって限定されるものではなく、各種の変形が可能である。

本発明の駆動方法を適用するPDPは、図10および図11で示したPDPと同じ構成である。また、PDPのフィールド構成および駆動電圧波形についても、基本的には図12に示した構成と同じである。ただ、1サブフィールドのサスティン期間に印加するサスティンパルスの波形のみが異なる。したがって、以下の実施形態では、この1サブフィールドのサスティン期間に印加するサスティンパルスの波形のみを説明する。

【0027】

#### 実施形態1

図1(a)は本発明の実施形態1におけるサスティンパルスの説明図である。

本実施形態においては、1サブフィールドのサスティン期間TSに印加するサスティンパルスを、発光輝度の異なる、つまり到達電位の異なる2種類のサスティンパルスで構成している。

【0028】

到達電位の低いサスティンパルスの印加電圧波形1は、図12で示した従来の矩形の印加電圧波形（矩形パルス）と同じものである。以後、印加電圧波形1を「矩形パルス1」という。

【0029】

到達電位の高いサステインパルスの印加電圧波形2は、矩形パルス1にプライミングパルス(オフセット電圧)を加えたものである。以後、印加電圧波形2を「オフセットパルス2」という。このオフセットパルス(プライミングパルス)の印加は、本願出願人による特願平11-186391号に記載の駆動回路などを適用して行うことができる。

【0030】

矩形パルス1とオフセットパルス2は、1回あたりの放電の大きさ(放電規模)が異なる。すなわち、放電の際の発光輝度が、矩形パルス1よりもオフセットパルス2のほうが大きい。そのため、オフセットパルス2を印加すれば、サステインパルスのパルス数(波数:電圧印加の回数)を減らすことができるので、矩形パルス1だけを印加する場合と比較して、サステイン期間TSを短くすることができる。

【0031】

図1(b)は比較例であり、サステイン期間TS内に矩形パルス1だけを印加した場合を示している。

【0032】

一般に、1サブフィールドをみた場合、1サブフィールドのトータルな輝度は、サステイン期間TSにおけるパルス数に比例するが、図1(a)と図1(b)を比較してわかるように、本実施形態では、発光輝度の高いオフセットパルス2を矩形パルス1に混在させる。このため、矩形パルス1だけを印加する場合よりもパルス数を減少させることができ、それによりサステイン期間TSを短くすることができる。

【0033】

このため、比較例と同じ長さのサステイン期間TS内では、より多くのサステインパルスを印加することができ、高輝度な表示が可能となる。さらに、矩形パルス1とオフセットパルス2の波数を調整し、その構成比を任意に変化させることで、当該サブフィールドの発する表示輝度を細かく調整することができる。すなわち、当該サブフィールドの輝度重み設定の正確さが増す。またパルスの構成比による調整とサブフィールドの点灯/非点灯による階調制御と併用することによって、より細やかな階調制御が可能となる。

【0034】

本実施形態では、サステインパルスとして発光輝度の異なる2種類のパルスを混在させているが、3種類以上のパルスを混在させて同様の制御を行うことで、さらに細やかな階調制御が可能である。

【0035】

#### 実施形態2

図2は本発明の実施形態2におけるサステインパルスの説明図である。

本実施形態のサステインパルスは、矩形パルス1とオフセットパルス2の配列が実施形態1と異なっている。

【0036】

実施形態1のように、2種類のサステインパルスを種類ごとに集中配置した場合には、単位放電空間のセル構造によっては、特定領域に偏った壁電荷が形成されてしまうことがあり、リセット期間に放電空間内の壁電荷が均一にリセットされない場合がある。

【0037】

本実施形態では、発光輝度の異なる2種類のサステインパルスを交互に配置している。すなわち、矩形パルス1とオフセットパルス2を交互に配置している。これにより、放電空間内の壁電荷が均一に形成され、リセット期間において壁電荷を均一化させることが容易となり、PDPの表示の安定化を図ることができる。

【0038】

#### 実施形態3

図3は本発明の実施形態3におけるサステインパルスの説明図である。

本実施形態では、到達電位の低いサステインパルスをサステイン期間TSの前半部TS<sub>p1</sub>に集中的に配置し、到達電位の高いサステインパルスを後半部TS<sub>p2</sub>に集中的に配置している。つまり、矩形パルス1をサステイン期間の前半部TS<sub>p1</sub>に集中的に配置し

、オフセットパルス2を後半部TS<sub>p2</sub>に集中的に配置している。

【0039】

オフセットパルス2は、到達電位が高く、より大きな放電を引き起こすため、サスティン期間の前半部TS<sub>p1</sub>で矩形パルス1の小さな放電によって形成された不均一な壁電荷を払拭し、放電空間内の壁電荷を均一に形成させる。これにより、PDPの表示の安定化を図ることができる。

【0040】

#### 実施形態4

図4は本発明の実施形態4におけるサスティンパルスの説明図である。

本実施形態では、サスティン期間TSの前半部TS<sub>p1</sub>に矩形パルス1を集中的に配置し、中盤TS<sub>p2</sub>にオフセットパルス2を集中的に配置し、後半部TS<sub>p3</sub>に再び矩形パルス1を集中的に配置している。

【0041】

PDPのセル構造によっては、到達電位の高いオフセットパルス2を印加すると、特定領域に不均一に形成される電荷がより多くなってしまう時がある。このようなセル構造のPDPに対しては、電荷調整用の矩形パルス1を後半部TS<sub>p3</sub>に集中的に配置する。これによって、任意のセル構造のPDPに対しても、表示の安定化を図ることができる。

【0042】

#### 実施形態5

図5は本発明の実施形態5におけるサスティンパルスの説明図である。

本実施形態では、サスティン期間TSに、到達電位が中間のサスティンパルスと、到達電位の高いサスティンパルスと、到達電位の低いサスティンパルスとの、3種類のサスティンパルスを配置している。

【0043】

すなわち、サスティン期間TSの前半部TS<sub>p1</sub>に中間パルス2を集中的に配置し、中盤TS<sub>p2</sub>にオフセットパルス2を集中的に配置し、後半部TS<sub>p3</sub>に矩形パルス1を集中的に配置している。

【0044】

このように、発光輝度の異なる3種類のサスティンパルスを用いることにより、2種類のサスティンパルスを用いた場合よりも、より細やかな階調制御が可能となる。また、実施形態4と同様の効果も得られる。

【0045】

図6はPDPの画面の表示率(%)と輝度(L:ルクス)との関係を示すグラフであり、パネル負荷特性を示すものである。画面の表示率とは、画面の全セルに対する発光セルの割合を示すものであり、1フレームごとに変化する。

【0046】

通常の動画を表示した場合、画面の表示率は30%以下となることが多いが、このグラフに示すように、PDPの表示においては、一般に、画面の表示率が小さいフレームでは、サスティンパルス数を増加させて高輝度化を図り、画面の表示率が大きいフレームでは、サスティンパルス数を減少させて消費電力の低下を図っている。また、これにより、液晶パネル等よりも階調のダイナミックレンジの広い画像を表示している。

【0047】

本発明では、このサスティンパルス数の制御に加えて、発光輝度の異なる複数種類のサスティンパルスを用い、さらにそれらのパルスの構成比を変化させる制御を行うことにより、より一層ダイナミックレンジの広い、高画質な画像を表示することができる。

【0048】

図7は表示画像データが最大表示階調数2n(nはサブフィールド数)より小さい範囲に分布しているときの階調とその度数(ドット数:セル数)との関係を示すグラフである。このグラフは、1フィールドを8つのサブフィールドで構成した場合(サブフィールド数:8)を示している。このとき、実施形態1～実施形態5の制御を行うことで、実質的



な表示階調数を高めることができる。

【0049】

図8はサブフィールド数が8の場合の輝度比を示す説明図である。

この表は、256階調数(実質階調数8ビット)で表示を行う場合の各サブフィールドの輝度比である。すなわち、1サブフィールドのサステイン期間に、矩形パルスとオフセットパルスを、以下の構成率で印加した場合の、第1サブフィールド(1SF)～第8サブフィールド(8SF)における輝度比を示したものである。オフセットパルスの輝度比は1.0とし、矩形パルスの輝度比は0.5としている。

【0050】

構成率とは、オフセットパルスの構成率を示している。したがって、構成率100%とはオフセットパルスのみを印加した場合を示し、構成率50%とはオフセットパルスと矩形パルスを1:1の割合で印加した場合を示し、構成率0%とは矩形パルスのみを印加した場合を示している。

【0051】

比較例として示したものは、オフセットパルス2のみを印加して、256階調数(実質階調数8ビット)で表示を行う時の各SFの輝度比である。

【0052】

構成(1)として示したものは、本発明の駆動方法であり、オフセットパルスと矩形パルスの構成比を1:1とした時の各SFの輝度比である。このように、パルスの構成比を1:1とした場合、最大階調(最大輝度)が“191.25(1SF～8SFの輝度の合計)”までの特定表示画像においては(例えば図7)、256/191.25倍の階調(実質階調12ビット)にて表示を行うことができる。つまり、表示できる最大輝度比は“191.25”であるが、この最大輝度の値を“256”のきざみで表示できるため、実質階調数を増加させることができる。

【0053】

構成(2)として示したものは、矩形パルスにのみを印加した時の各SFの輝度比である。このように、矩形パルスのみを印加した場合、最大階調(最大輝度)が“127.5(1SF～8SFの輝度の合計)”までの特定表示画像においては、256/127.5倍の階調(実質階調16ビット)にて表示を行うことができる。つまり、表示できる最大輝度比は“127.5”であるが、この最大輝度の値を“256”のきざみで表示できるため、実質階調数を増加させることができる。

【0054】

このように本発明を適用することによって、特定表示画像において、従来よりも階調数が豊かで高画質な画像を表示することができる。

【0055】

図9はサステインパルスの構成比を表示時間に従って変化させる例を示すグラフである。

このグラフは、横軸に表示時間Tを、縦軸に発光輝度Lを示している。この例では、1サブフィールドのサステイン期間内に、発光輝度の異なる複数種類のサステインパルスを混在させる。そして、表示装置の表示時間Tに従ってサステインパルスの構成比を変化させることで、グラフに示すような輝度Lになるようにしている。

【0056】

このように、サステインパルスの構成比を表示時間に従って変化させることで、情報表示用モニター分野などの特定用途のPDPを、輝度変化の小さい、表示の安定したPDPとすることができる。

【0057】

以上述べたように、1サブフィールドのサステイン期間に印加するサステインパルスを発光輝度の異なる複数種類のサステインパルスで構成し、表示輝度に応じてサステインパルスの構成比を変化させることで、実質的な表示階調数を増加させることができる。

【0058】

すなわち、本発明によれば、サステインパルスとして発光輝度の異なる複数種類の印加電圧波形を使用し、各サブフィールドに設定される輝度重みに応じて各複数種類の印加電圧波形を調整することで、より正確な輝度重みの設定を行うことができる。さらに、本発明によれば、サブフィールドの点灯／非点灯によって階調表示を行い得るだけでなく、複数種類の印加電圧波形の構成比を変化させることによって階調表示を行うことができる。よって、サステイン期間以外のアドレス期間などを圧迫することなく、従来よりも高輝度で階調豊かな表示を行うことができる。

【図面の簡単な説明】

【0059】

【図1】本発明の実施形態1におけるサステインパルスの説明図および比較例である。

【図2】本発明の実施形態2におけるサステインパルスの説明図である。

【図3】本発明の実施形態3におけるサステインパルスの説明図である。

【図4】本発明の実施形態4におけるサステインパルスの説明図である。

【図5】本発明の実施形態5におけるサステインパルスの説明図である。

【図6】PDPの画面の表示率と輝度との関係を示すグラフである。

【図7】PDPの階調とその度数との関係を示すグラフである。

【図8】サブフィールド数が8の場合の輝度比を示す説明図である。

【図9】サステインパルスの構成比を表示時間に従って変化させる例を示すグラフである。

【図10】従来のAC駆動方式の3電極面放電型のカラーPDPの構成を示す斜視図である。

【図11】図10で示したPDPの平面図である。

【図12】図10で示したPDPのフィールド構成および駆動電圧波形を示す説明図である。

【符号の説明】

【0060】

1 矩形パルス

2 オフセットパルス

3 中間パルス

11 前面側の基板

12 透明電極

13 金属電極

17, 24 誘電体層

18 保護層

21 背面側の基板

28R, 28G, 28B 蛍光体層

29 隔壁

30 放電空間

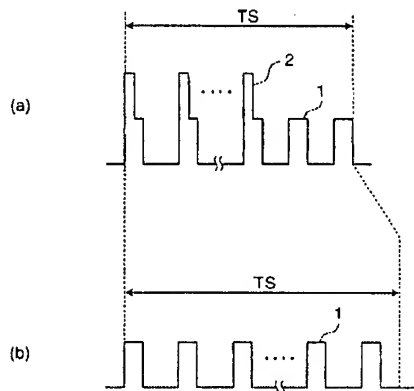
A アドレス電極

C 放電セル

X, Y サステイン電極

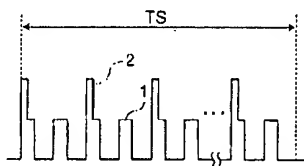
【図1】

本発明の実施形態1におけるサスティンパルスの説明図および比較例



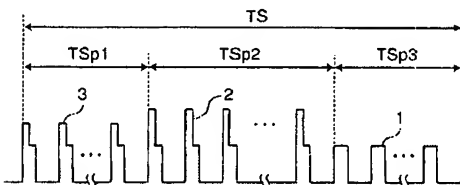
【図2】

本発明の実施形態2におけるサスティンパルスの説明図



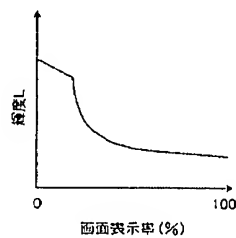
【図5】

本発明の実施形態5におけるサスティンパルスの説明図



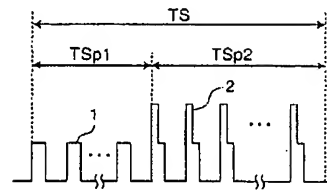
【図6】

PDPの画面の表示率と輝度との関係を示すグラフ



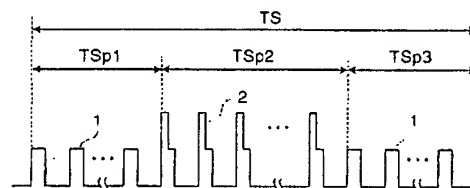
【図3】

本発明の実施形態3におけるサスティンパルスの説明図



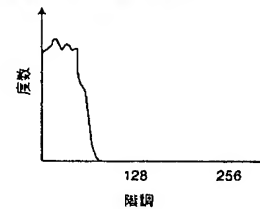
【図4】

本発明の実施形態4におけるサスティンパルスの説明図



【図7】

PDPの階調とその度数との関係を示すグラフ



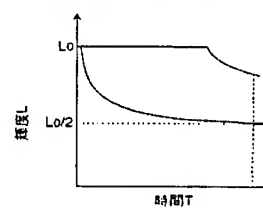
【図8】

サブフィールド数が8の場合の輝度比を示す説明図

	構成率	1SF	2SF	3SF	4SF	5SF	6SF	7SF	8SF
比較例	100%	1	2	4	8	16	32	64	128
構成(1)	50%	0.75	1.5	3	6	12	24	48	96
構成(2)	0%	0.5	1	2	4	8	16	32	64

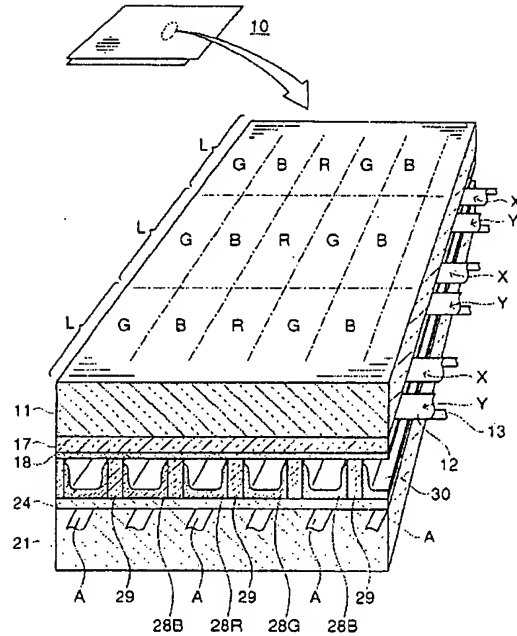
【図9】

サスティンパルスの構成比を表示時間によって変化させる例を示すグラフ



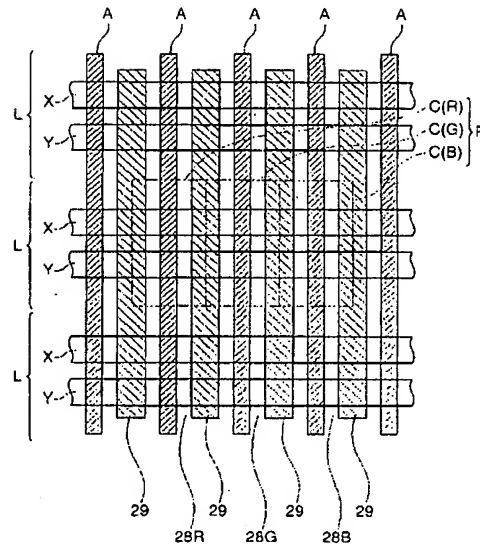
【図10】

従来のAC駆動方式の3電極面放電型の  
カラーPDPの構成を示す斜視図



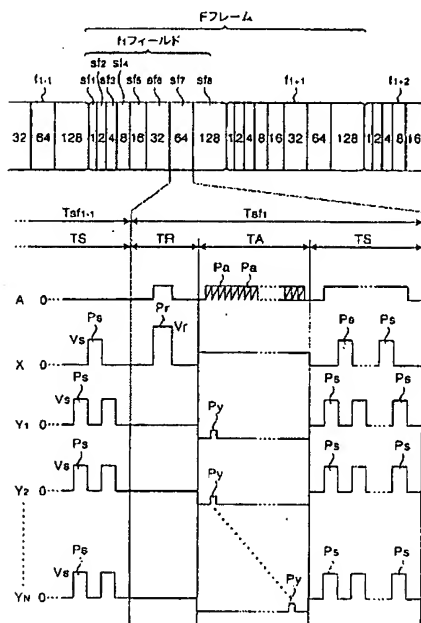
【図11】

図10で示したPDPの平面図



【図12】

図10で示したPDPのフィールド構成および駆動電圧波形を示す説明図



(51)Int.Cl.<sup>7</sup>

F I

テーマコード(参考)

G 0 9 G 3/28

E

Fターム(参考) 5C580 AA01 AA02 BA03 CA03 CB01 CB10